

## Family list

24 family members for:

**JP6232129**

Derived from 20 applications.

- 1 Electronic circuit**  
Publication Info: **CN1090946 A** - 1994-08-17  
**CN1111902C C** - 2003-06-18
- 2 Electronic circuit**  
Publication Info: **CN1239835 A** - 1999-12-29
- 3 Method of manufacturing semi-conductor device**  
Publication Info: **CN1282980 A** - 2001-02-07
- 4 Electronic circuit**  
Publication Info: **CN1432858 A** - 2003-07-30
- 5 Electronic circuit**  
Publication Info: **CN1516281 A** - 2004-07-28
- 6 Electronic circuit**  
Publication Info: **CN1516282 A** - 2004-07-28
- 7 Display device and method for manufacturing same**  
Publication Info: **CN1607875 A** - 2005-04-20
- 8 Electronic circuit**  
Publication Info: **CN1664683 A** - 2005-09-07
- 9 SEMICONDUCTOR DEVICE**  
Publication Info: **JP3333501B2 B2** - 2002-10-15  
**JP2001257362 A** - 2001-09-21
- 10 ELECTRONIC CIRCUIT**  
Publication Info: **JP3587537B2 B2** - 2004-11-10  
**JP6232129 A** - 1994-08-19
- 11 ELECTRONIC CIRCUIT**  
Publication Info: **KR131057 B1** - 1998-04-14
- 12 Semiconductor device having a lead including aluminum**  
Publication Info: **US5623157 A** - 1997-04-22
- 13 Electronic circuit**  
Publication Info: **US5804878 A** - 1998-09-08
- 14 Electronic circuit**  
Publication Info: **US6031290 A** - 2000-02-29
- 15 Electronic circuit**  
Publication Info: **US6166414 A** - 2000-12-26
- 16 Pixel thin film transistor and a driver circuit for driving the pixel thin film transistor**  
Publication Info: **US6448612 B1** - 2002-09-10
- 17 Electronic circuit**  
Publication Info: **US6608353 B2** - 2003-08-19  
**US2002179969 A1** - 2002-12-05
- 18 Electronic circuit**  
Publication Info: **US2004023445 A1** - 2004-02-05
- 19 Electronic circuit**  
Publication Info: **US2004051102 A1** - 2004-03-18
- 20 Electronic circuit**  
Publication Info: **US2005145847 A1** - 2005-07-07





---

Data supplied from the *esp@cenet* database - Worldwide

**ELECTRONIC CIRCUIT**

**Patent number:** JP6232129  
**Publication date:** 1994-08-19  
**Inventor:** MIYAZAKI MINORU; MURAKAMI AKANE; SAI  
HOSHIYUN; YAMAMOTO MUTSUO  
**Applicant:** SEMICONDUCTOR ENERGY LAB

**Also published as:**

 CN1664683 (A)  
 CN1607875 (A)  
 CN1516282 (A)  
 CN1516281 (A)

**Classification:**  
**- international:** C23C14/34; G02F1/133; G02F1/136; G09F9/35;  
H01L21/00; H01L21/02; H01L21/28; H01L21/3205;  
H01L21/60; H01L21/70; H01L21/768; H01L27/092;  
H01L27/12; H01L29/786; H05B33/08; H05B33/10;  
H05B33/12; H05B33/26; C23C14/34; G02F1/13;  
G09F9/35; H01L21/00; H01L21/02; H01L21/70;  
H01L27/085; H01L27/12; H01L29/66; H05B33/02;  
H05B33/10; H05B33/12; H05B33/26; (IPC1-7):  
H01L21/3205; H01L21/28; H01L21/90

**- european:**

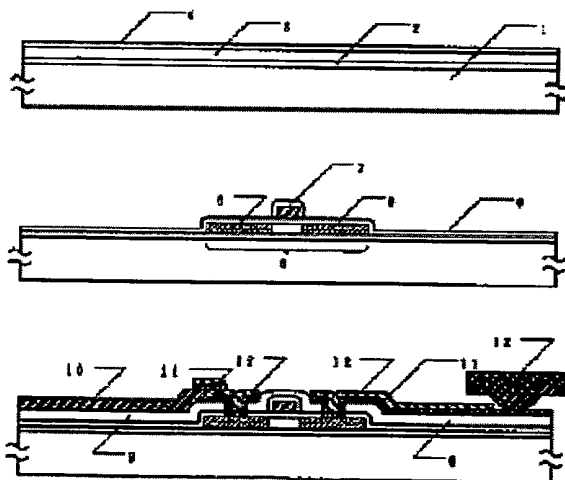
**Application number:** JP19930023289 19930118

**Priority number(s):** JP19930023289 19930118; JP19920351916 19921209

**Report a data error here**

**Abstract of JP6232129**

**PURPOSE:**To provide a good contact between a wiring and a semiconductor layer by a method wherein first layers, which closely adhere to the semiconductor film and contain titanium and nitrogen as its principal components, and second layers, which closely adhere to the first layers and contain aluminium as its principal component, are formed. **CONSTITUTION:**A silicon oxide ground film 2, an amorphous silicon film 3 and a protective layer 4 are formed on a glass substrate 1. This substrate is subjected to annealing to crystallize the film 3. Then, a silicon film is patterned to form an insular semiconductor region 5, a silicon oxide film 6 is formed in such a way as to cover this region 5 and this film 6 is used as a gate film. Moreover, an aluminium gate wiring electrode 7 is formed and this gate wiring electrode 7 is anodized. After that, impurity regions 8 are formed using the gate electrode 7 as a mask and moreover, a layer insulator film 9 and a conductive transparent oxide film are deposited and patterning is performed to form a pixel electrode 10. A contact hole is formed in the layer conductor film 9 and first layers 11 containing titanium and nitrogen as its principal components and second layers 12 containing aluminium as its principal component are formed.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232129

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/28	3 0 1 R	7376-4M		
21/90	D	7514-4M		
		7514-4M	H 0 1 L 21/ 88	N

審査請求 未請求 請求項の数 7 F D (全 7 頁)

(21)出願番号	特願平5-23289
(22)出願日	平成5年(1993)1月18日
(31)優先権主張番号	特願平4-351916
(32)優先日	平4(1992)12月9日
(33)優先権主張国	日本(JP)

(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 宮崎 稔  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 村上あかね  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 崔 葆春  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

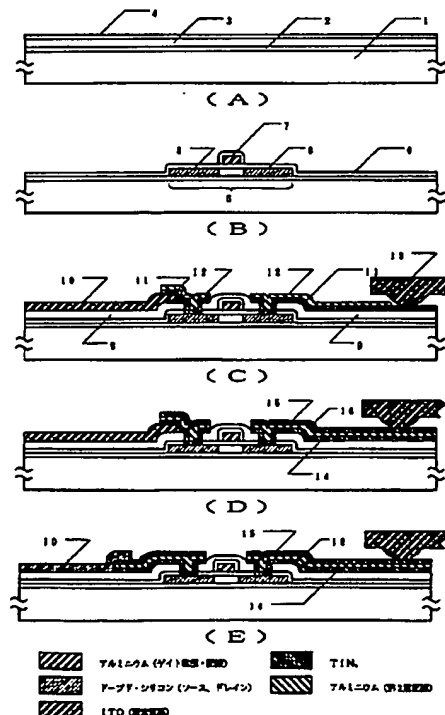
[最終頁に続く](#)

(54)【発明の名称】 電子回路

(57) 【要約】

【目的】 金属配線と半導体層との間に良好なコンタクトを形成し、電子回路の信頼性を向上せしめる。

【構成】 薄いシリコンを主成分とする半導体膜を絶縁基板上に有する電子回路で、前記半導体膜に密着して、チタンと窒素を主な材料として含有する第１の層と、前記第１の層に密着してアルミニウムを主成分とする第２の層からなる配線を有するもの。



#### 【特許請求の範囲】

【請求項1】 厚さ1500Å以下のシリコンを主成分とする半導体被膜に接触するチタンと窒素を主な成分として含有する第1の層と、前記第1の層に密着して設けられ、アルミニウムを主成分とする第2の層とからなる配線を有することを特徴とする電子回路。

【請求項2】 請求項1において、シリコンを主成分とする被膜はN型もしくはP型の導電型であることを特徴とする電子回路。

【請求項3】 請求項1において、シリコンを主成分とする被膜の厚さは、100Å以上750Å以下であることを特徴とする電子回路。

【請求項4】 請求項1において、シリコンを主成分とする被膜の下には、該被膜にドーピングされている不純物と同一の不純物を含有する酸化珪素を主成分とする被膜が密着していることを特徴とする電子回路。

【請求項5】 請求項1において、前記第1の層は、導電性酸化物薄膜とコンタクトしていることを特徴とする電子回路。

【請求項6】 厚さ1500Å以下のシリコンを主成分とする半導体被膜に接触するチタンを主な成分として含有する第1の層と、前記第1の層に密着して設けられ、チタンと窒素を主成分とする第2の層と、前記第2の層に密着して設けられ、アルミニウムを主成分とする第3の層とからなる配線を有することを特徴とする電子回路。

【請求項7】 厚さ1500Å以下のシリコンを主成分とする半導体被膜に接触するチタンと窒素を主な成分として含有する第1の層と、前記第1の層に密着して設けられ、チタンと窒素を主成分とする第2の層と、前記第2の層に密着して設けられ、アルミニウムを主成分とする第3の層とからなる配線において、第1の層のチタン／窒素の比率が第2の層のものよりも大きいことを特徴とする電子回路。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、絶縁基板上に形成され、薄膜トランジスタのごとき、薄いシリコン等の半導体層を有し、該半導体層と配線とを接続する必要がある電子回路に関するものである。

##### 【0002】

【従来の技術】従来、薄膜型の絶縁ゲート型電界効果トランジスタ（TFT）等の薄膜デバイスにおいては活性層として用いられるシリコン等の半導体薄膜は1500Å程度の厚さであった。そのため、このような半導体薄膜に電極を形成せんとした場合には、従来のIC技術と同様にアルミニウムのごとき金属を直接密着させることによって十分なコンタクトが形成された。このようなコンタクト部では、通常、アルミニウムとシリコン等の半導体成分との化学的な反応によって、アルミニウム・

シリサイドのごときシリサイドが形成されるのであるが、半導体層の厚さがシリサイドの厚さに比べると十分に大きいため何ら問題はなかった。

##### 【0003】

【発明が解決しようする課題】しかしながら、最近の研究では、活性層の厚さを1500Å以下、例えば、100～750Å程度にまで薄くすると、よりTFTの特性が向上することが明らかとなった。しかしながら、このような薄い半導体層（活性層）に電極を形成せんとする場合には従来の方法では良好なコンタクトが得られなかった。これはシリサイドの厚さが半導体層の厚さと同程度にまで成長し、コンタクトの電気特性が著しく劣化するためであった。そして、このようなコンタクトは長時間の電圧印加等のストレスを加えると著しく劣化した。

【0004】また、TFTの特性を向上させるためには、半導体層との電極形成後、400℃以下、典型的には200～350℃の水素雰囲気での熱処理をほどこすことが必要とされたが、半導体層の厚さが1500Å以下のTFTではこのような熱処理によってシリサイドの形成が著しく進行し、TFTの特性が劣化することが問題であった。

【0005】本発明は上記の問題を解決するためになされたものであり、配線と半導体層との良好な、少なくとも300℃の熱処理にも耐えられるコンタクトを得ること、さらにはこれによって信頼性の向上を図らんとするものである。

##### 【0006】

【発明を解決するための手段】本発明は、絶縁基板上に形成され、厚さが1500Å以下、好ましくは100Å以上750Å以下のシリコンを主成分とする半導体層を有する電子回路に関する。例えば、活性層の厚さが1500Å以下のTFTを有する電子回路は、本発明の対象となる。本発明の効果は半導体層の厚さが薄いほど顕著である。

【0007】本発明の第1の構成は、上記のごとき薄膜半導体層がガラスのごとき絶縁基板上に密着してあるいは何らかの絶縁被膜を介して形成され、そして、この半導体層の一部もしくは全部に、チタンと窒素を主な成分として含有する第1の層が密着し、さらに、この第1の層の上面に、アルミニウムを主成分とする第2の層が形成されており、これら第1および第2の層によって配線が形成されていることを特徴とするものである。このとき、第2の層の実質的に全ての下面は第1の層に密着している。また、第2の層の上にさらにチタンと窒素を主な成分とする第3の層が設けられていてもよい。

【0008】本発明の第2の構成は、薄膜半導体層がガラスのごとき絶縁基板上に密着してあるいは何らかの絶縁被膜を介して形成され、そして、この半導体層の一部もしくは全部に、チタンを主な成分として含有する第1の層が密着し、さらに、この第1の層の上面に、チタン

と窒素を主成分とする第2の層が密着し、さらに、この第2の層の上面に、アルミニウムを主成分とする第3の層が形成されており、これら第1ないし第3の層によって配線が形成されていることを特徴とするものである。第3の層の上にさらに他の層が形成されていてもよいことはいうまでもない。

【0009】本発明の第3の構成は、薄膜半導体層がガラスのごとき絶縁基板上に密着してあるいは何らかの絶縁被膜を介して形成され、そして、この半導体層の一部もしくは全部に、チタンと窒素を主な成分として含有する第1の層が密着し、さらに、この第1の層の上面に、チタンと窒素を主成分とする第2の層が密着し、さらに、この第2の層の上面に、アルミニウムを主成分とする第3の層が形成されており、これら第1ないし第3の層によって配線が形成されていることを特徴とするもので、第1の層のチタンと窒素の比率（チタン／窒素）が第2の層のものよりも大きいことを特徴とするものである。

【0010】いずれの構成においても、第1の層が密着する部分の薄膜半導体はN型もしくはP型の導電型を呈し、好ましくはその部分の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。この不純物の導入は、公知のイオン注入法、もしくはプラズマドーピング法を用いてもよい。このような不純物イオンを高エネルギーに加速して導入する場合には、ドーズ量は $0.8 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-2}$ がよい。あるいは不純物ガス雰囲気でのレーザー照射を利用するレーザードーピング法（特願平3-283981、平成3年10月4日出願、もしくは特願平3-290719、平成3年10月8日出願）によってもよい。また、その部分のシート抵抗は $1 \text{ k}\Omega/\square$ 以下が好ましい。

【0011】また、薄膜半導体の下部には、酸化珪素が密着して形成されていてもよい。このとき、この酸化珪素膜中には薄膜半導体に含有されているのと同じ不純物が含有されていてもよい。

【0012】前記第1の構成の第1の層において、その主成分であるチタンと窒素の比率は厚さによって異なってもよい。また、チタンと窒素以外に、シリコン、酸素等の他の元素を主な成分として含有してもよい。例えば、第1の層のうち、半導体層に近い場所では主としてチタンとシリコンからなり、第2の層に近い場所ではチタンと窒素を主な成分とし、例えば、チタンと窒素の比率（窒素／チタン）は化学量論比に近い値（0.8以上）とし、その中間では連続的に成分が変化するようにしてもよい。

【0013】一般に化学量論比の窒素とチタンからなる材料（窒化チタン）はバリア特性に優れ、アルミニウムやシリコンの拡散を防止する機能を有するが、シリコンとの接触抵抗が高く、これを直接、コンタクト形成に用いることは好ましくない。一方、化学量論比のチタンと

シリコン（珪化チタン、チタンシリサイド）からなる材料はシリコンを主成分とする半導体との接触抵抗が低く、オーミック接触を形成する上で有利であるが、アルミニウム等が拡散しやすく、例えば、第2の層のアルミニウムが第1の層を通じて拡散し、半導体層にアルミニウム・シリサイドを形成する。

【0014】上記のような複雑な層構造はこのような問題を解決するためになされるものである。すなわち、第2の層に接する部分にはバリア特性に優れたほぼ化学量論比の窒化チタンを用いて、第2の層のアルミニウムが第1の層に進入することを防止、一方、半導体層に接する部分にはほぼ化学量論比のチタン・シリサイドを形成して、良好なオーミック接触を得ることができる。

【0015】チタン・シリサイドの形成にあたっては被膜形成の際に意図的にシリコンを加えなくとも、チタンと半導体層中のシリコンが反応して、自動的にチタン・シリサイドが形成される。したがって、例えば、半導体層に近い部分には窒素の少ないチタンを、また、第2層に近い部分には窒素の多いチタンを堆積しても同様な効果が得られる。

【0016】いずれの場合でも、第1の層全体について見れば、チタンと窒素を主な成分としている。好ましくは、第1の層におけるチタンと窒素の比率（窒素／チタン）は、0.5～1.2である。また、このようなチタンと窒素を主な成分とする材料はインディウム・錫酸化物、酸化亜鉛、酸化ニッケル等の導電性酸化物とオーミック接触を得ることができる。一方、アルミニウムとこのような導電性酸化物が接合を形成すると接合部に厚い酸化アルミニウムの層が形成されて良好なコンタクトは得られなかった。従来はアルミニウムと導電性酸化物の間にクロムの層を形成していたが、クロムは有毒であるので代替りの材料が求められていた。本発明に使用されるチタンと窒素を主な成分とする材料はこの点でも優れている。以下に実施例を示し本発明の構成を詳細に説明する。

【0017】

【実施例】〔実施例1〕 図1および図2に本実施例を示す。図1はTFTを有する電子回路を作製する手順を示したものである。なお、一般的な工程に関しては説明を省略した。まず、コーニング7059等のガラス基板1上に下地酸化珪素膜2、厚さ500～1500Å、好ましくは500～750Åのアモルファスシリコン膜3、保護層4を形成する。そして、これを450～600℃で12～48時間アニールして、アモルファスシリコン膜を結晶化した。この結晶化の工程は、いわゆるレーザーアニール等の手段を用いてもよいことはいうまでもない。（図1（A））

【0018】次に、シリコン膜をパターニングして、島状の半導体領域5を形成し、これを覆って、厚さ500～1500Å、好ましくは800～1000Åの酸化珪

素膜6を形成し、これをゲイト酸化膜とした。さらに、アルミニウムのゲイト配線・電極7を形成し、これを陽極酸化することによって、その周囲に酸化アルミニウムの被膜を形成した。このようにトップゲイト型TFETに陽極酸化を用いる技術に関しては、特願平4-38637（平成4年1月24日出願）に記述されている。ゲイト電極がシリコン、チタン、タンタル、タングステン、モリブテン等の材料で構成されていてもよいことは言うまでもない。その後、ゲイト電極をマスクとして、例えば隣のごとき不純物をプラズマ・ドーピング法のごとき手段によって注入し、ゲイト電極部7に整合させて不純物領域（ドーパド・シリコン領域）8を形成した。さらに、熱アニール、レーザーアニール等の手段によって不純物領域8の再結晶化をおこない、TFETのソース、ドレインとした。（図1（B））

【0019】さらに、層間絶縁物（酸化珪素）9、導電性透明酸化物、例えばITO（インディウム・錫酸化物）を堆積し、ITO膜をパターンニングして、これをアクティブマトリックス型液晶表示素子の画素電極10を形成した。そして、層間絶縁物9にコンタクトホールを形成し、不純物領域（ソース、ドレイン）の一部を露出させた。そして、スパッタ法によって、チタンと窒素を主な成分として含有する第1の層と、アルミニウムよりなる第2の層を形成した。その方法は以下のようにおこなった。

【0020】まず、スパッタ・チャンバーにターゲットとしてチタンをセットし、アルゴン雰囲気において成膜をおこなった。スパッタ圧力は1～10mTorrとした。そして、最初に窒素をほとんど含まないチタンを主成分とする層を厚さ50～500Å形成した。次に、スパッタ・チャンバー中にアルゴン以外に窒素を導入して、この雰囲気中でスパッタ成膜をおこなった。この結果、ほぼ化学量論比の窒化チタン層を厚さ200～1000Å形成した。このとき、スパッタ雰囲気における窒素の割合は40%以上となるようにした。なお、スパッタリングによる堆積速度は、スパッタ圧力以外に、窒素の分圧によって著しく変動するので注意しなければならない。例えば、アルゴンのみの雰囲気と窒素が20%以上含まれている雰囲気では、前者の方が一般的に3～5倍堆積速度が早い。なお、スパッタ時の雰囲気に関しては、窒素の代わりにアンモニア、ヒドラジン等を用いてもよい。さらに、スパッタ時の窒素の分圧によって得られる被膜の抵抗率が変化することが知られているが、配線材料として用いるのであるから、抵抗が低いことが望ましく、そのために最適な窒素分圧を採用することは言うまでもない。例えば、窒素100%の雰囲気と窒素40%の雰囲気では、前者の方が低い抵抗率が得られた。また、典型的な抵抗率は50～300μΩ・cmであった。

【0021】また、以上の工程で、最初に成膜される窒

素をほとんど含まないチタンの層の厚さがあまりに大きいと、下の半導体層を反応して良好なコンタクトが得られなかった。本発明人の研究の結果、このチタンの層の厚さは半導体層の厚さよりも小さいことが好ましいことがわかった。

【0022】このようにして第1の層11を形成した後、やはりスパッタ法によって第2の層のアルミニウム（1%のシリコンを含む）膜12を厚さ2000～5000Å形成した。そして、フォトリソグラフィー法によって、これらの層をパターンニングした。まず、磷酸等のエッチング液（例えば、磷酸、酢酸、硝酸の混酸）でアルミニウムよりなる第2の層をエッチングした。続いて、このアルミニウム膜の上にレジストを残したまま、バッファード弗酸もしくは弗硝酸によって第1の層をエッチングした。このときにはオーバーエッチングによって層間絶縁膜等が損傷を受けるので注意しなければならない。なお、最初に選択的に残したアルミニウムをマスクとして、過酸化水素（H<sub>2</sub>O<sub>2</sub>）水とアンモニア水（NH<sub>3</sub>OH）の混合液によってエッチングしてもよい。この場合には層間絶縁膜には影響がない。ただし、フォトレジスト等の有機材料は酸化されてしまうので、注意を要する。

【0023】上記のエッチング工程はドライエッチングプロセスによってもよい。エッチングガスとして、例えば、四塩化炭素（CCl<sub>4</sub>）を使用すれば、第2の層と第1の層を連続的にエッチングでき、酸化珪素等にはダメージを与えないので好適である。このようにして不純物領域から延びる配線を形成した後、300℃の水素雰囲気中でアニールし、TFETを完成させた。

【0024】さて、このようにして形成された回路には外部との接続を必要とする部分が存在する。図2（A）は基板17上に形成された集積回路18から基板周辺部に向かって外部接続配線19が形成されている様子を示している。そして、このような電子回路においては図の点線で囲まれた領域20において、ソケット等の接点金具等で機械的に電気接触が取られる場合がある。

【0025】あるいは、図2（B）に示されるような液晶表示装置では、基板21上のアクティブマトリックス領域25を駆動するための回路22～24に電力や信号を供給するために、図の点線で囲まれた領域27において電気接触を取る。ワイヤーボンディング等の接続は恒久的であり、信頼性が高いが、作製には少なからず手間がかかり、特に多くの端子を接続するには適していない。そこで機械的に接触させるほうが有利な場合がある。

【0026】しかし、その際には接点部分の配線表面が十分に強固であることと、下地と配線の密着性が良好であることが求められる。その目的にはアルミニウムは適切でないが、チタンを主な成分とする材料は、シリコン、酸化珪素、アルミニウム等の材料との密着性が良好

であり、また、被膜の硬度も大きいので適している。その際には、窒素は全く含まれていなくても、化学量論比まで最大限含まれていても構わない。本実施例では、第1の層12のうち、接点部分のみをエッチングして、第2の層を露出させた。本実施例では第1の層のうち、第2の層に接する部分は化学量論比の窒化チタンである。そして、この窒化チタンの露出した接点金具13を押つけて接点とした。(図1(C))

【0027】あるいは図1(D)に示すように第1の層14、第2の層15に重ねて、窒化チタンからなる第3の層16を形成し、この第3の層に接点金具を接触させてもよい。この場合には、図1(C)のように第2の層の一部をエッチングする必要がなく、パターニング工程が省略できる。また、図1(E)に示すように、本発明の窒素とチタンを主成分とする層を有する配線を先にパターニングしてから、ITO膜を形成してもよい。いずれの場合においても、本実施例ではITO膜に窒素とチタンを主成分とする材料を用いるので、良好なコンタクトが得られる。これはITOに限らず、広く酸化物導伝体一般について言えることである。

【0028】以上のようにして得られたTFTの $V_0-I_0$ 特性(曲線a)と、参考までに通常のAl/Siコンタクトを有するTFTの $V_0-I_0$ 特性(曲線b)とを図3に示す。従来の方法で作製されたTFT(曲線bで示す)では、 $V_0 \sim 0$ 近辺にキックが見られ、コンタクト抵抗がオーム接触性を示さなかったが、本実施例で作製したTFT(曲線aで示す)ではそのような異常は見られず、正常なMOSFET特性が示された。

【0029】【実施例2】 図1を参考にして本実施例を示す。図1はTFTを有する電子回路を作製する手順を概念的に示したものである。なお、一般的な工程に関しては説明を省略した。まず、ガラス基板1上に下地酸化珪素膜2、厚さ100~1500Å、好ましくは100~750Åのアモルファスシリコン膜3、保護層4を形成する。そして、これを450~600℃で12~48時間アニールして、アモルファスシリコン膜を結晶化した。この結晶化の工程は、いわゆるレーザーアニール等の手段を用いてもよいことはいうまでもない。(図1(A))

【0030】次に、シリコン膜をパターニングして、島状の半導体領域5を形成し、これを覆って、厚さ500~1500Å、好ましくは800~1000Åの酸化珪素膜6を形成し、これをゲイト酸化膜とした。さらに、アルミニウムのゲイト配線・電極7を形成し、これを陽極酸化することによって、その周囲に酸化アルミニウムの被膜を形成した。その後、ゲイト電極をマスクとして、例えば燐のごとき不純物をイオン注入法のごとき手段によって注入し、ゲイト電極部7に整合させて不純物領域(ドープド・シリコン領域)8を形成した。ドーザ量は $0.8 \sim 4 \times 10^{15} \text{ cm}^{-2}$ とし、 $1 \times 10^{19} \sim 1 \times$

$10^{21} \text{ cm}^{-3}$ の不純物濃度となるように、ドーザ量、加速電圧、ゲイト酸化膜の厚さを設定した。さらに、熱アニール、レーザーアニール等の手段によって不純物領域8の再結晶化をおこない、TFTのソース、ドレインとした。(図1(B))

【0031】さらに、層間絶縁物(酸化珪素)9、ITOを堆積し、ITO膜をパターニングして、これをアクティブマトリックス型液晶表示素子の画素電極10を形成した。そして、層間絶縁物9にコンタクトホールを形成し、不純物領域(ソース、ドレイン)の一部を露出させた。そして、DCスパッタ法によって、チタンと窒素を主な成分として含有する第1の層と、アルミニウムよりなる第2の層を形成した。その方法は以下のようにおこなった。

【0032】まず、スパッタ・チャンバーにターゲットとしてチタンをセットし、アルゴンと窒素の分圧比(アルゴン/窒素)が0.3以下、例えば、アルゴン:窒素=4:1となるような雰囲気において成膜をおこなった。スパッタ圧力は3mTorr、DC電流は4.5A、アルゴンの流量は24SCCM、窒素の流量は6SCCMとした。そして、窒素の含有量が少ない第1の層の下部層を厚さ100Å形成した。このようにして形成された膜は、シリコンおよびITOとのコンタクト抵抗が十分に小さかった。

【0033】次に、スパッタ・チャンバー中の窒素の雰囲気を増大せしめ、アルゴンと窒素の分圧比(アルゴン/窒素)が0.3以上、例えば、アルゴン:窒素=1:1として、この雰囲気中でスパッタ成膜をおこなった。スパッタ圧力、DC電流は3mTorr、4.5A、のままであるが、アルゴン、窒素ともその流量は15SCCMとした。以上の工程によって第1の層の上部層を厚さ900Å形成した。このようにして形成された膜は、シリコンとのコンタクト抵抗が大きかったので、コンタクトには使用できなかったが、本実施例のように配線材料として使用するには何ら問題がなかった。なお、スパッタリングによる堆積速度は、スパッタ圧力以外に、窒素の分圧によって著しく変動するので注意しなければならない。例えば、アルゴン/窒素=4/1の場合には、100~120Å/min、アルゴン/窒素=1/1の場合には、30~40Å/minであった。

【0034】このようにして第1の層11を形成した後、やはりスパッタ法によって第2の層のアルミニウム(1%のシリコンを含む)膜12を厚さ2000~5000Å形成した。そして、フォトリソグラフィ法によって、これらの層をパターニングした。まず、燐酸等のエッチング液(例えば、燐酸、酢酸、硝酸の混酸)でアルミニウムよりなる第2の層をエッチングした。続いて、このアルミニウム膜の上にレジストを残したまま、過酸化水素( $\text{H}_2\text{O}_2$ )水とアンモニア水( $\text{NH}_3\text{O}$ )の混合液によって第1の層をエッチングした。この

エッチャントは有機物質を酸化してしまうので、同時にファイナル有機洗浄をおこなったことと同じである。このようにして不純物領域から延びる配線を形成した後、300℃の水素雰囲気中でアニールし、TFTを完成させた。さらに、本実施例では、第1の層12のうち、接点部分のみをエッチングして、第2の層を露出させた。そして、この第1の層の露出した接点金具13を押しつけて接点とした。(図1(C))

#### 【0035】

【発明の効果】本発明によって、TFTの薄いソース、ドレイン(不純物領域)等における良好なコンタクトを形成することができた。このコンタクトは信頼性が高く、したがって、電子回路全体の信頼性を向上させる上で効果があった。このように本発明は工業上、有益な発明である。

#### 【図面の簡単な説明】

【図1】 本発明を利用したTFTを有する回路の例(断面図)を示す。

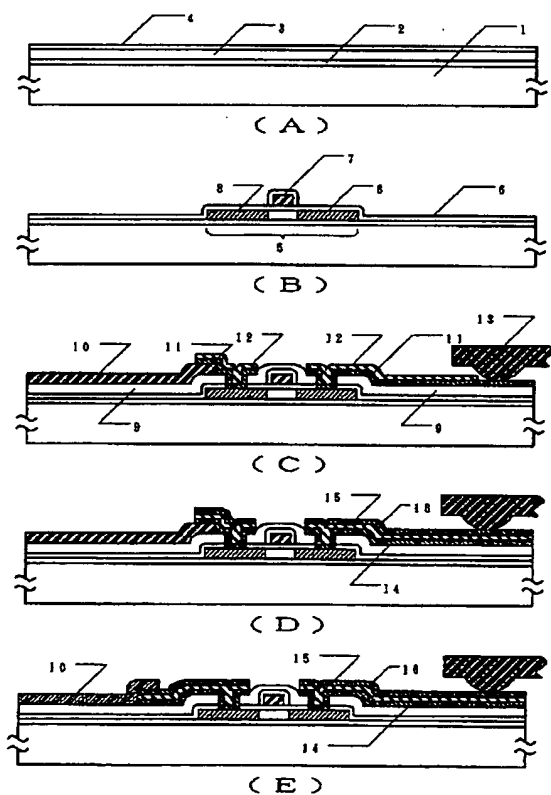
【図2】 本発明を利用した電子回路の例(上面図)を示す。

【図3】 本実施例で得られたTFTの特性(a)と従来の方法で得られたTFTの特性(b)を示す。

#### 【符号の説明】

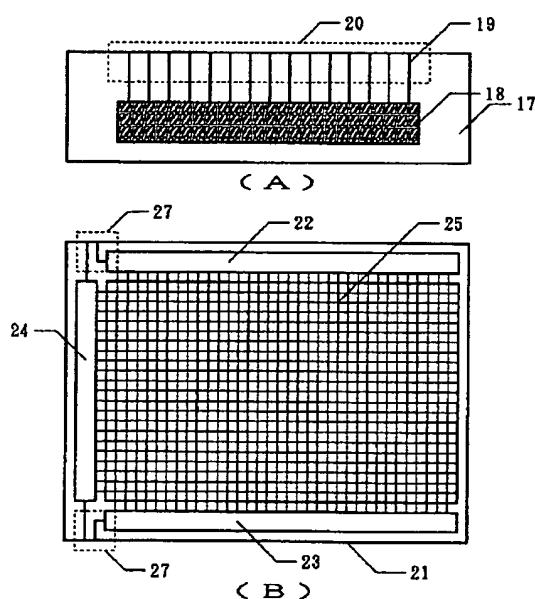
- 1・・・ガラス基板
- 2・・・下地酸化珪素膜
- 3・・・シリコン膜
- 4・・・保護膜
- 5・・・島状半導体領域
- 6・・・酸化珪素膜(ゲイト酸化膜)
- 7・・・ゲイト電極・配線(陽極酸化膜で被覆されたアルミニウム)
- 8・・・不純物領域
- 9・・・層間絶縁物(酸化珪素)
- 10・・・画素電極(ITO)
- 11・・・第1の層(窒化チタン)
- 12・・・第2の層(アルミニウム)
- 13・・・接続端子金具
- 14・・・第1の層(窒化チタン)
- 15・・・第2の層(アルミニウム)
- 16・・・第3の層(窒化チタン)

【図1】



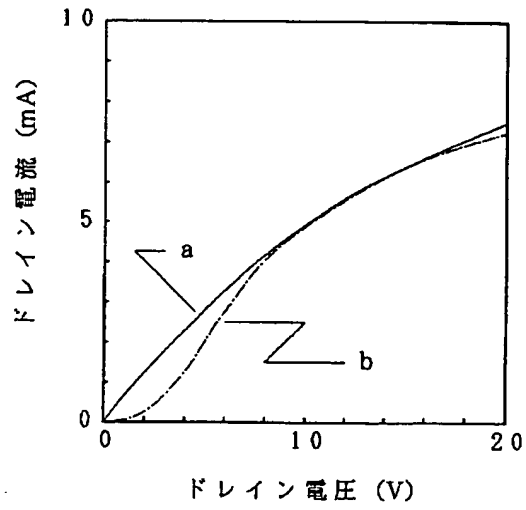
- アルミニウム(ゲイト電極・配線)
- ドーパド・シリコン(ソース、ドレイン)
- ITO(画素電極)
- TiN
- アルミニウム(第2層配線)

【図2】





【図3】



フロントページの続き

(72)発明者 山本 睦夫  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

**THIS PAGE BLANK (USPTO)**